

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 EP-2562	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP00/06824	国際出願日 (日.月.年) 29.09.00	優先日 (日.月.年) 01.10.99
出願人(氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H05K1/02, H01L21/60, 311, H01L23/12, H01L25/04, H01L25/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC).)

Int. Cl⁷ H05K1/02, H01L21/60, 311, H01L23/12, H01L25/04, H01L25/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (1926-1996年)
 日本国公開実用新案公報 (1971-2000年)
 日本国登録実用新案公報 (1994-2000年)
 日本国実用新案登録公報 (1996-2000年)

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 04-150055, A (セイコーエプソン株式会社) 22. 5月. 1992 (22. 05. 92) 全文, 第1-7図 (ファミリーなし)	1-20
Y	JP, 03-245591, A (日本電気株式会社) 1. 11月. 1991 (01. 11. 91) 全文, 第1-2図 (ファミリーなし)	1-20
Y	日本国実用新案登録出願62-156316号 (日本国実用新案登録出願公開1-60543号) の願書に添付され た明細書及び図面のマイクロフィルム (三菱電機株式会社), 17. 4月. 1989 (17. 04. 89) 全文, 第1-3図 (ファミリーなし)	1-20

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

18. 12. 00

国際調査報告の発送日

26.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

林 茂樹

3S

8915

電話番号 03-3581-1101 内線 3389

PCT REQUEST

EPPC-2562

Original (for SUBMISSION) - printed on 24.05.2001 02:41:20 PM

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	EPPC-2562
I	Title of invention	INTERCONNECT SUBSTRATE, SEMICONDUCTOR DEVICE, METHODS OF FABRICATING, INSPECTING, AND MOUNTING THE SEMICONDUCTOR DEVICE, CIRCUIT BOARD, AND ELECTRONIC INSTRUMENT
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	SEIKO EPSON CORPORATION
II-5	Address:	4-1, Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
II-8	Telephone No.	03-3348-3114
II-9	Facsimile No.	03-3340-4258
III-1	Applicant and/or inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	HASHIMOTO, Nobuaki
III-1-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

PCT REQUEST

EPPC-2562

Original (for SUBMISSION) - printed on 24.05.2001 02:41:20 PM

IV-1	Agent or common representative; or address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	INOUE, Hajime
IV-1-2	Address:	2nd Floor Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan
IV-1-3	Telephone No.	03-5397-0891
IV-1-4	Facsimile No.	03-5397-0893
IV-1-5	e-mail	MXJ00663@nifty.ne.jp
IV-2	Additional agent(s)	additional agent(s) with same address as first named agent
IV-2-1	Name(s)	FUSE, Yukio; OFUCHI, Michie
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE and any other State which is a Contracting State of the European Patent Convention and of the PCT (except TR)
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	CN JP KR US
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	Exclusion(s) from precautionary designations	NONE
VI-1	Priority claim of earlier national application	
VI-1-1	Filing date	01 October 1999 (01.10.1999)
VI-1-2	Number	11-281424
VI-1-3	Country	JP



PCT REQUEST

EPPC-2562

Original (for **SUBMISSION**) - printed on 24.05.2001 02:41:20 PM

VI-2	Priority document request The receiving Office is requested to prepare and transmit to the International Bureau a certified copy of the earlier application(s) identified above as item(s):	VI-1	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	4	-
VIII-2	Description	20	-
VIII-3	Claims	3	-
VIII-4	Abstract	1	-
VIII-5	Drawings	7	-
VIII-7	TOTAL	35	
	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract	1	
VIII-19	Language of filing of the international application	Japanese	
IX	Signature of applicant or agent		
IX-1	Name (LAST, First)		
IX-2	Capacity		

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
-------------	---	--

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 4 月 12 日 (12.04.2001)

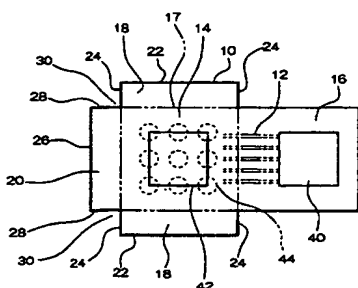
PCT

(10) 国際公開番号
WO 01/26432 A1

- (51) 国際特許分類: H05K 1/02, H01L 21/60, 21/311, 23/12, 25/04 (HASHIMOTO, Nobuaki) [JP/JP]; 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 社内 Nagano (JP).
- (21) 国際出願番号: PCT/JP00/06824
- (22) 国際出願日: 2000 年 9 月 29 日 (29.09.2000) (74) 代理人: 井上 一, 外 (INOUE, Hajime et al.); 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.
- (30) 優先権データ: 特願平11/281424 1999 年 10 月 1 日 (01.10.1999) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP). 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 橋元伸晃
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: WIRING BOARD, SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING, TESTING AND PACKAGING THE SAME, AND CIRCUIT BOARD AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 配線基板、半導体装置並びにその製造、検査及び実装方法、回路基板並びに電子機器



(57) Abstract: A semiconductor device which includes a board (10). The board (10) is formed with a wiring pattern (12) and has a first portion (14), and a second portion (16) to be flatwise placed on the first portion (14). The first portion (14) has sides (22, 24, 26, 28) serving as criteria for positioning, while the second portion (16) is shaped to be placed on the first portion (14) while avoiding the sides (22, 24, 26, 28) of the first portion (14).

(57) 要約:

半導体装置は、基板（10）を含む。基板（10）は、配線パターン（12）が形成され、第1の部分（14）と、第1の部分（14）に平面的に重ねるための第2の部分（16）と、を有し、第1の部分（14）は位置決め基準となる辺（22）、（24）、（26）、（28）を有し、第2の部分（16）は、第1の部分（14）の辺（22）、（24）、（26）、（28）を避けて、第1の部分（14）と積み重ねられる形状をなしている。

“2995860” PCT/JP00/06824

WO 01/26432 A1

明 細 書

配線基板、半導体装置並びにその製造、検査及び実装方法、
回路基板並びに電子機器

5

[技術分野]

本発明は、配線基板、半導体装置並びにその製造、検査及び実装方法、回路基板並びに電子機器に関する。

10 [背景技術]

1 枚の基板の半導体チップが搭載された第 1 の部分を折り曲げて、外部端子が設けられた第 2 の部分に接着したり、半導体チップが搭載された第 1 の基板を、外部端子が設けられた第 2 の基板に接合する構造のパッケージが開発されている。これらのパッケージによれば、平面形状を小さくしつつ、基板の面積を大きくできるので配線パターン設計の自由度が増すという利点があり、複数の半導体チップを積層したスタック構造を簡単に構成することができる。

ただし、基板を正確に折り曲げて正確な位置に重ねることは難しい。あるいは、複数の基板を正確な位置に接合することは難しい。そのため、基板のうち、外部端子が形成された部分よりも、その上に重ねられる部分がはみ出すことで、パッケージの外形が製品によって異なる場合があった。その場合、パッケージの外形と外部端子との相対的位置が製品によって異なるので、外形を基準として外部端子の位置合わせを行えなかった。

[発明の開示]

25 本発明は、この問題点を解決するものであり、その目的は、位置合わせを簡単に行える配線基板、半導体装置並びにその製造、検査及び実装方法、回路基板並びに電子機器を提供することにある。

(1) 本発明に係る配線基板は、配線パターンが形成され、第1の部分と、前記第1の部分に平面的に重なるための第2の部分と、を有し、

前記第1の部分は、位置決めの基準となる端部を有し、

5 前記第2の部分は、前記第1の部分における前記端部を避けた領域と平面的に重なる形状をなしている。

なお、平面的に重なるとは、必ずしも接触して積み重なった状態に限定されない。本発明によれば、第2の部分が、位置決めの基準となる端部を避けて第1の部分と平面的に重なる形状をなしている。したがって、第2の部分と第1の部分とが平面的に重なっても、第1の部分における位置決めの基準となる端部を利用して、位置決めを行うことができる。

(2) この配線基板において、

前記位置決めの基準となる端部は、互いに直交する関係にある2つの辺を含んでもよい。

これによれば、2つの辺によって平面上の位置が決められる。

15 (3) この配線基板において、

前記第1の部分は、矩形をなす本体部分と、前記端部を有し前記本体部分の少なくとも1辺から延設された凸部と、を有してもよい。

これによれば、凸部を使用して、詳しくは凸部の2つの辺を使用して、平面上の位置が決められる。

20 (4) この配線基板において、

前記凸部は、前記本体部分との境界となる辺と、前記本体部分との境界となる辺に対して垂直方向に延びる第1の辺と、前記本体部分との境界となる辺と平行な関係を有する先端の第2の辺と、により決定された領域からなり、前記位置決めの基準となる端部は、前記第1の辺及び前記第2の辺を含んでもよい。

25 (5) この配線基板において、

前記第1の部分における前記本体部分は、前記凸部が設けられていない辺を有し、

前記第 2 の部分は、前記凸部が設けられていない辺の隣に配置されてもよい。

(6) この配線基板において、

前記第 2 の部分は、前記第 1 の部分の前記凸部に対向する凹部を有してもよい。

5 (7) この配線基板において、

複数の前記位置決め基準となる端部を有し、少なくとも 1 つの前記端部は、前記第 1 の部分の前記本体部分における前記凸部を避けた部分に形成されてもよい。

(8) この配線基板において、

10 前記第 1 の部分は、前記第 2 の部分よりも大きい形状をなし、前記直交する関係にある 2 つの辺が前記第 1 の部分の角部を形成していてもよい。

(9) この配線基板において、

前記第 1 の部分は、挟まれた角度において直角をなし、かつ、前記直交する関係にある 2 つの辺を含む凹状端部が形成されていてもよい。

15 (10) この配線基板において、

前記複数の端部は、複数の穴を形成していてもよい。

(11) この配線基板において、

前記第 1 の部分に連続的に前記第 2 の部分が延設されていてもよい。

(12) この配線基板において、

20 前記第 1 の部分から切り離されて前記第 2 の部分が形成されており、前記第 1 及び第 2 の部分は、前記配線パターンによって接続されていてもよい。

これによれば、第 1 及び第 2 の部分が切り離されているので、両者の間で基板を容易に屈曲させたり、折り曲げたりすることができる。

(13) 本発明に係る半導体装置は、少なくとも 1 つの半導体チップと、

25 第 1 の部分と、前記第 1 の部分に平面的に重なるように配置されてなる第 2 の部分と、を有し、前記半導体チップが搭載されてなる基板と、
を含み、

前記第 1 の部分は、位置決めの基準となる端部を有し、

前記第 2 の部分は、前記第 1 の部分の前記端部を避ける形状をなす。

なお、平面的に重なるとは、必ずしも接触して積み重なった状態に限定されない。本発明によれば、第 2 の部分が、位置決めの基準となる端部を避ける形状をなしている。したがって、第 2 の部分と第 1 の部分とが平面的に重なっても、第 1 の部分における位置決めの基準となる端部を利用して、位置決めを行うことができる。

(14) この半導体装置において、

前記第 1 の部分には、複数の外部端子が設けられていてもよい。

これによれば、第 1 の部分における位置決めの基準となる端部と、外部端子との相対的位置が固定されているので、位置決めの基準となる端部を利用して、外部端子の位置決めを簡単に行うことができる。そして、半導体装置の電気的な特性を検査するときに、半導体装置をソケットに投げ込むだけでよい。また、回路基板に半導体装置を実装するときに、外部端子の位置ずれによる不良の発生率を低減させることができる。

(15) この半導体装置において、

前記基板として、請求項 1 から請求項 10 のいずれかに記載の配線基板が用いられてもよい。

(16) 本発明に係る回路基板には、上記半導体装置が搭載されている。

(17) 本発明に係る電子機器は、上記半導体装置を備える。

(18) 本発明に係る半導体装置の製造方法は、上記配線基板に、少なくとも 1 つの半導体チップを搭載し、前記配線基板の前記第 1 の部分に前記第 2 の部分を積み重ねる工程を含む。

なお、積み重ねるとは、平面的に重複した状態を指し、必ずしも接触して積み重なった状態に限定されない。本発明によれば、第 2 の部分が、位置決めの基準となる端部を避けて第 1 の部分と積み重ねられる形状をなしている。こうして得られた半導体装置によれば、第 2 の部分を第 1 の部分に積み重ねても、

第 1 の部分における位置決めの基準となる端部を利用して、位置決めを行うことができる。

(1 9) 本発明に係る半導体装置の検査方法は、上記半導体装置を、前記位置決めの基準となる複数の端部を使用して位置合わせする工程と、

5 前記半導体装置の電気的特性を検査する工程と、
を含む。

本発明によれば、第 1 の部分における位置決めの基準となる端部を利用して位置決めを行い、検査を行うことができる。

(2 0) 本発明に係る半導体装置の実装方法は、上記半導体装置を、前記位置決めの基準となる複数の端部を使用して位置合わせする工程と、

10 前記半導体装置を回路基板に実装する工程と、
を含む。

本発明によれば、第 1 の部分における位置決めの基準となる端部を利用して、実装のための位置決めを簡単に行うことができる。

15

[図面の簡単な説明]

図 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

図 2 は、本発明を適用した第 1 の実施の形態に係る半導体装置及びその検査又は実装方法を示す図である。

20

図 3 は、本発明を適用した第 1 の実施の形態に係る半導体装置が実装された回路基板を示す図である。

図 4 は、本発明を適用した第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

図 5 は、本発明を適用した第 2 の実施の形態に係る半導体装置及びその検査又は実装方法を示す図である。

25

図 6 は、本発明を適用した第 2 の実施の形態の変形例に係る半導体装置を説

明するための図である。

図 7 は、本発明を適用した第 3 の実施の形態に係る半導体装置を示す図である。

図 8 は、本発明を適用した第 4 の実施の形態に係る半導体装置及びその検査
5 又は実装方法を示す図である。

図 9 は、本発明を適用した第 5 の実施の形態に係る半導体装置を示す図である。

図 10 は、本発明に係る方法を適用して製造された半導体装置を備える電子
機器を示す図である。

10

[発明を実施するための最良の形態]

以下、本発明の実施の形態を、図面を参照して説明する。

(第 1 の実施の形態)

図 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を
15 説明する図であり、図 2 は、本実施の形態に係る半導体装置及びその検査又は
実装方法を説明する図であり、図 3 は、本実施の形態に係る半導体装置が実装
された回路基板を示す図である。

(基板について)

本実施の形態に係る半導体装置には、図 1 に示す基板 10 が使用される。基
20 板 10 は、少なくとも 1 つの (図 1 では複数の) 半導体チップ 40、42 を搭
載するためのインターポーザとして使用される。基板 10 の材料として、有機
系又は無機系のいずれの材料であってもよく、これらの複合構造からなるもの
であってもよい。有機系の材料から形成された基板 10 として、例えばポリイ
ミド樹脂からなる 2 層や 3 層などのフレキシブル基板が挙げられる。基板 10
25 は、屈曲させるときには、柔軟性のあるフレキシブル基板を使用することが好
ましい。フレキシブル基板として、FPC (Flexible Printed Circuit) と呼ば
れる基板やガラスエポキシテープと呼ばれる基板や、TAB (Tape Automated

Bonding) 技術で使用するテープ基板を使用してもよい。また、無機系の材料から形成された基板 10 として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。これらの基板は、多層基板やビルドアップ基板であってもよい。

基板 10 の一方の面には、配線パターン 12 が形成されている。配線パターン 12 は、銅などの導電材料で形成することができる。配線パターン 12 は、ハンダ、スズ、金、ニッケルやこれらの複合材料などでメッキされていることが好ましい。配線パターン 12 が形成された状態で、基板 10 を配線基板と称することができる。

配線パターン 12 が接着剤（図示せず）を介して基板 10 に貼り付けられて、3 層基板を構成してもよい。あるいは、配線パターン 12 を、接着剤なしで基板 10 に形成して 2 層基板を構成してもよい。配線パターン 12 は、ランド部等の電氣的な接続部分を除いて、図示しないレジスト等の保護膜にて覆われていることが好ましい。

基板 10 は、第 1 の部分 14 と、第 2 の部分 16 と、を含む。第 2 の部分 16 は、図 2 に示すように、第 1 の部分 14 に積み重ねられる。詳しくは、第 1 及び第 2 の部分 14、16 の間の領域を屈曲又は折り曲げて、第 1 及び第 2 の部分 14、16 が積み重ねられる。あるいは、第 1 及び第 2 の部分 14、16 が、切り離されており配線パターン 12 によって両者が接続されていても良い。その例については次の実施の形態で説明する。なお、第 1 及び第 2 の部分 14、16 は、両者が接触して平面的な重なり部分を有しているが、両者が接触せずに非接触の状態であってもよい。

第 1 の部分 14 は、矩形をなす本体部分 17 と、少なくとも 1 つの（図 1 において複数の）凸部 18 と、を有する。凸部 18 は、本体部分 17 の辺から延設される。凸部 18 は、図示する例では、矩形をなす本体部分 17 の 1 つの辺（仮想上の辺であって実在しない）から直角方向に延設されるが、これに限定

するものではなく直角方向とは異なる方向に延設されてもよい。図1において、第1の部分14のうち、第2の部分16から同じ幅で形成された領域を本体部分17とすると、本体部分17は矩形をなしており、平行な2辺（図1において上下の2辺）のそれぞれから凸部18が形成されている。また、上述した2
5 つの凸部18と、上述した本体部分17と、を合わせた領域から第2の部分16とは反対方向に、凸部20が形成されている。

凸部18は、本体部分17の1つの辺と平行な関係にある先端の辺22と、本体部分17の辺から直交方向に延びる辺24と、を含む。つまり、これらの辺22、24は、互いに直交する関係にある。同様に、凸部20は、本体部分
10 17の1つの辺と平行な関係にある先端の辺26と、本体部分17の辺から直交方向に延びる辺28と、を含む。これらの辺26、28は、互いに直交する関係にある。また、凸部18の辺22と、凸部20の辺26とは、それぞれの延長線上において互いに直交する関係にある。

凸部18の辺24と、凸部20の辺28とは、凹状端部30を形成しており、
15 辺24と辺28によって挟まれた角度において直角をなしている。

凸部18の辺22、24を含む端部、凸部20の辺26、28を含む端部、凸部18、20の辺24、28を含む端部、あるいは凸部18、20の辺22、26を含む端部は、位置決めの基準となる。詳しくは、直交方向に延びる2つの辺22、24、直交方向に延びる2つの辺26、28、直交方向に延びる2
20 つの辺24、28、直交方向に延びる2つの辺22、26のうち、少なくともいずれか2つの辺又はそれ以上の複数の辺が位置決めの基準となる。

これらの位置決めの基準は、外部端子との間の位置が決まっているので、後述する半導体装置の検査、半導体装置の実装の際に、位置決めの基準を含む基板の外形から、簡単に外部端子の正確な位置を決定することができる。

第1の部分14には、複数の外部端子44が設けられている。また、第1の部分14には、少なくとも1つの半導体チップ42を搭載してもよい。半導体チップ42の実装形態は、半導体装置の説明で後述する。

第2の部分16は、第1の部分14のうち、位置決めの基準となる端部（上述した）を避けて、第1の部分14に積み重ねられる形状をしている。図1に示す例では、第2の部分16は、第1の部分14のうち、凸部18、20を除いた領域とほぼ等しい形状となっている。第2の部分16を、このような形状にすることで、図2に示すように第1及び第2の部分14、16が積み重なったときに、第1の部分14の、位置決めの基準となる端部から、第2の部分16がはみ出さないようになっている。

また、第2の部分16は、第1の部分14の凸部18を説明するときに定義した本体部分17の、凸部18を避けた部分の隣に配置されている。図1に示す例では、第1の部分14と連続して一体的に第2の部分16が形成されている。なお、第1及び第2の部分14、16の間に、図示しないスリットを形成してもよい。スリットを形成することで、第1及び第2の部分14、16の間で、基板10を屈曲しやすく又は折り曲げやすくなる。

第2の部分16には、少なくとも1つ（又は複数）の半導体チップ40が搭載される。半導体チップ40の実装形態は、半導体装置の説明で後述する。

なお、上述した本体部分17は一例であり、本体部分の定義はこれに限定されるものではない。例えば、図1において、第1の部分14のうち、第2の部分16から同じ幅で形成された領域（凸部20を含む領域）を本体部分とすると、平行な2辺（図1において上下の2辺）のそれぞれから凸部18が形成されているといえる。あるいは、上述した2つの凸部18と、その間を凸部18と同じ幅でつなぐ領域と、を合わせた領域を本体部分として、この本体部分に、第2の部分16とは反対方向に、凸部20が形成されているということもできる。これらの場合には、凸部18、20のそれぞれは、矩形をなす本体部分の1つの辺（仮想上の辺であって実在しない）から、本体部分の辺の長さよりも短い幅で延設される。

あるいは、本体部分は、第2の部分16の幅に関係なく、凸部18、20で囲まれた矩形部分（例えば本体部分17）を指すということもできる。

(半導体装置の製造方法について)

本実施の形態に係る半導体装置の製造方法では、上述した基板 10 に少なくとも 1 つ又は複数の半導体チップ 40、42 を搭載する。例えば、基板 10 の第 1 の部分 14 に半導体チップ 42 を実装し、第 2 の部分 16 に半導体チップ 40 を実装する。この工程は、基板 10 を、平面的状態すなわち屈曲させない状態で行う。

そして、第 2 の部分 16 を、第 1 の部分 14 に積み重ねる。例えば、第 1 及び第 2 の部分 14、16 の間の領域を屈曲させ又は折り曲げて、第 1 の部分 14 上に第 2 の部分 16 を積み重ねる。

また、複数の外部端子 44 (図 3 参照) を設ける工程を含んでもよい。例えば、基板 10 に形成された貫通穴 11 を介して、配線パターン 12 が形成された面とは反対側に突出する外部端子 44 を設ける。外部端子 44 は、ハンダ等で形成することができる。貫通穴 11 にハンダを設け、これを溶融させて表面張力でボールを形成してもよいし、貫通穴 11 に導電材料を設け、これにハンダボールを載せてもよい。貫通穴 11 の内面をメッキしてスルーホールを形成してもよい。

この場合、貫通穴 11 の形成位置は外部端子が設けられる位置となるので、例えば基板製造時に、前述した基板の位置決め基準と貫通穴 11 とを、同一工程の金型で抜き加工すると、より正確に相互の位置を出すことができる。同一工程で形成できない場合は、貫通穴 11 と同時に位置基準穴を形成しておき、後加工で、基板の位置決め基準を、その位置基準穴に基づいて形成してもよい。

(半導体装置について)

図 3 は、本実施の形態に係る半導体装置を示す図である。半導体装置は、基板 10 と、少なくとも 1 つ又は複数の半導体チップ 40、42 と、を含む。基板 10 は、上述した通りのものである。

基板 10 には、複数の貫通穴 11 が形成されている。貫通穴 11 は、配線パ

ターン 1 2 に複数の外部端子 4 4 を電氣的に接続するためのものである。基板 1 0 における配線パターン 1 2 が形成された面とは反対側の面に突出する外部端子 4 4 を、貫通穴 1 1 を介して配線パターン 1 2 に電氣的に接続することができる。例えば、配線パターン 1 2 が貫通穴 1 1 上を通るようになっていれば、貫通穴 1 1 を介して、配線パターン 1 2 上に外部端子 4 4 を設けることができる。

外部端子 4 4 は、ハンダ等で形成される。貫通穴 1 1 に充填されたハンダを溶融させて表面張力でボールを形成してもよいし、貫通穴 1 1 に設けられた導電材料にハンダボールを載せてもよい。貫通穴 1 1 の内面をメッキしてスルーホールを形成してもよい。

また、貫通穴 1 1 上に形成された配線パターン 1 2 を、貫通穴 1 1 中に屈曲させて外部端子として使用してもよい。例えば、配線パターン 1 2 の一部を、金型などを使って貫通穴 1 1 の内部に入り込ませ、基板 1 0 における配線パターン 1 2 が形成された面とは反対側の面から突出させ、その突出した部分を外部端子としてもよい。あるいは、積極的に外部端子を形成せずマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。この半導体装置は、回路基板に実装される面に、外部端子を形成するためのランド部が形成された、いわゆるランドグリッドアレイ型の半導体装置である。

図 3 に示すように、基板 1 0 は屈曲しており、半導体チップ 4 0、4 2 は、積み重なった状態になっている。こうすることで、半導体装置を小型化することができる。半導体チップ 4 0、4 2 は、接着剤 4 6 等で接合されているか、機械的な方法で固定されていることが好ましい。

本実施の形態では、半導体チップ 4 0、4 2 は、異方性導電膜 3 2 を使用して配線パターン 1 2 に接合されている。半導体チップ 4 0 の実装形態は特に限定されないが、フェースダウンボンディングが適用される場合には、半導体チップ 4 0 は、配線パターン 1 2 上に搭載される。そして、半導体チップ 4 0 の

電極（好ましくはバンプ）が配線パターン１２に接合される。接合の手段としては、異方性導電膜３２の他に、異方性導電接着剤、導電樹脂ペースト（銀ペーストを含有する樹脂など）を使用してもよい。あるいは、Au-Au、Au-Sn、ハンダなどによる金属接合や、絶縁樹脂の収縮力によって、電極（好ましくはバンプ）と配線パターン１２とを接合してもよい。あるいは、ワイヤーボンディングを用いたフェースアップ型の実装でも良いし、フィンガーを接続するようなTAB実装方式を適用してもよい。

配線パターン１２のうち、第１の部分１４に形成されるパターンと、第２の部分１６に形成されるパターンとが、部分的にミラー対称の形状になっていてもよく、あるいは、部分的に同一形状であってもよい。この様にすることによって、基板１０に配線パターン１２を形成するときに用いる設計データ、マスクを共用でき、配線基板の製造初期費用を抑えることができる。

本実施の形態では、基板１０が屈曲している。基板１０における半導体チップ４０、４２が搭載される面を内側にして、基板１０が屈曲している。基板１０は、２つの半導体チップ４０、４２の間で屈曲している。また、図２に示すように、基板１０における第１の部分１４の凸部１８、２０から、第２の部分１６がはみ出さないようになっている。したがって、凸部１８、２０の辺２２、２４、２６、２８のうち、最低直交する２つの辺を利用して、半導体装置の位置合わせを簡単に行うことができる。

配線パターン１２が、第１及び第２の部分１４、１６上において、部分的にミラー対称の形状であるときに、半導体チップ４０、４２も、ミラー対称の回路構造を有していてもよい。あるいは、配線パターン１２が、第１及び第２の部分１４、１６上において、部分的に同一形状を含むときに、半導体チップ４０、４２は、同一の回路構造を有していてもよい。

半導体チップ４０、４２がミラー対称の回路構造又は同一の回路構造を有するときには、それぞれの素子に対して、同一の外部端子４４から電気的な接続を図ることができる。半導体チップ４０、４２がメモリである場合、同一の外

部端子 4 4 で、アドレス端子やデータ端子を共有化することが容易になる。

例えば、半導体チップ 4 0、4 2 がメモリであるときに、同一の外部端子 4 4 から、それぞれのメモリの同じアドレスのメモリセルに、情報の読み出し又は書き込みを行うことができる。半導体チップ 4 0、4 2 を、チップセレクト
5 端子の接続においてのみ分離しておくことで、同一外部端子配列を用いて、複数（例えば 2 つ）の半導体チップを別々にコントロールすることができる。

本実施の形態によれば、安価な片面基板を使用して、スタック構造の半導体装置を製造することができるので、コストを下げることができる。本実施の形態で説明した内容は、可能な限り以下の実施の形態でも適用することができる。

10 本実施の形態では、外部端子を有する半導体装置について述べてきたが、基板の一部を延出し、そこから外部接続を図るようにしても良い。基板の一部をコネクタのリードとしたり、コネクタを基板上に実装したり、基板の配線パターンそのものを他の電子機器に接続してもよい。

（半導体装置の検査方法について）

15 図 2 は、本実施の形態に係る半導体装置の検査方法を説明する図である。上述したように、本実施の形態に係る半導体装置は、基板 1 0 における第 1 の部分 1 4 の凸部 1 8、2 0 を利用して位置合わせを行えるようになっている。したがって、図示しないソケットに半導体装置を投げ込むだけで、簡単に半導体装置の電気的特性を検査することができる。

20 例えば、図 2 に示す例では、図示しないソケットが、ガイド 5 0、5 2、5 4 を有する。ガイド 5 0、5 2 は凸部 1 8 と係合し、ガイド 5 4 は凸部 2 0 と係合する。ガイド 5 0、5 2、5 4 とともに、あるいはこれらの代わりに、ソケットがピン 5 6 を有していても良い。ピン 5 6 は、凸部 2 0 及び 2 つの凸部 1 8 で形成された 2 つの凹部 3 0（直交方向に延びる辺 2 4、2 8 で形成される）に当接する。
25

このように、凸部 1 8、2 0 の辺 2 2、2 4、2 6、2 8 のうち、直交方向に延びるいずれか 2 つの辺が、ガイド 5 0、5 2、5 4 のうちの少なくとも 1

つ、あるいは一対のピン 5 6 と係合することで、半導体装置 1 の位置決めを簡単に行うことができる。ガイド 5 0、5 2、5 4 は、図示される凹型でなくても、少なくとも 2 辺を固定できる構造であればよく、図示されるように最低 2 カ所のピン 5 6 をガイドとしてもよい。そして、外部端子 4 4 等の、半導体装置 1 の内部との電氣的な接続を図る部分と、プローブやソケットの位置とを決めることができるので、後はこれらを当てて、半導体装置 1 の検査を行うことができる。

(半導体装置の実装方法・回路基板について)

図 3 は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。図 3 で、半導体装置 1 は、回路基板 2 に実装されている。回路基板 2 には例えばガラスエポキシ基板等を用いることが一般的である。回路基板 2 には例えば銅からなる配線パターン 3 が所望の回路となるように形成されていて、それらの配線パターン 3 と半導体装置 1 の外部端子とを接続することでそれらの電氣的導通が図られている。

半導体装置 1 は、上述した半導体装置の検査方法で説明した内容で、簡単に位置合わせを行える。したがって、外部端子 4 4 等の、外部との電氣的な接続を図る部分と、回路基板 2 の配線パターン 3 とを正確に接合することができ、位置ずれによる不良の発生を低減することができる。すなわち、平面外観の位置（外部端子 4 4 の位置を含む）は、上述したような位置決定構造との間で精度よく出ているので、半導体装置の実装機、例えばチップマウンタが位置決定構造を認識することで、外部端子 4 4 と配線パターン 3 との正確な接合を達成できる。

本発明は、上記実施の形態に限定されるものではなく、種々の変形が可能である。以下、その他の実施の形態について説明する。

(第 2 の実施の形態)

図 4 は、本発明を適用した第 2 の実施の形態に係る半導体装置の製造方法を説明する図であり、図 5 は、本実施の形態に係る半導体装置及びその検査又は

実装方法を説明する図である。図 6 は、本実施の形態の変形例に係る半導体装置の製造方法を説明する図である。

本実施の形態では、図 4 に示す基板 60 が使用される。基板 60 には、配線パターン 62 が形成されている。また、基板 60 は、第 1 及び第 2 の部分 64、66 を有する。第 1 及び第 2 の部分 64、66 は、切り離されて形成されており、配線パターン 62 によって両者が接続されている。配線パターン 62 は、その上にフレキシブルなレジストが塗布されて、絶縁されていることが好ましい。

第 1 の部分 64 は、矩形をなす本体部分の、1 つの辺（仮想上の辺であって実在しない）から直角方向に延設され、かつ、延設する幅はその辺の長さよりも短く形成されてなる凸部 68 を有する。凸部 68 の先端の辺 72 と、本体部分の辺から直角方向に延びる辺 74 と、は直交方向に延びている。したがって、凸部 68 を使用して、詳しくは、凸部 68 の直交方向に延びる辺 72、74 を使用して、半導体装置の検査時や実装時に、外部端子 80 と、検査装置や配線パターン 3（図 3 参照）などとの位置合わせを簡単に行うことができる。辺 72、74 を形成する複数の端部は、位置決めの基準となる。

第 2 の部分 66 は、第 1 の部分 64 の凸部 68 を避ける形状の凹部 70 を有する。凹部 70 は、凸部 68 に対向して配置されている。すなわち、凹部 70 の凹部の内側に凸部 68 が配置されている。第 2 の部分 66 は、このような形状であるため、第 1 の部分 64 の、位置決めの基準となる端部（辺 72、74 を形成する端部又は凸部 68）を避けて、第 1 の部分 64 と積み重ねられる形状をなしている。もちろん、第 1 の部分 64 だけではなく、第 2 の部分 66 も、位置決めの基準として使用してもよい。

基板 60 のその他の構成については、第 1 の実施の形態で基板 10 について説明した内容を適用することができる。

本実施の形態に係る半導体装置の製造方法では、上述した基板 60 に少なくとも 1 つ又は複数の半導体チップ 76、78 を搭載する。例えば、基板 60 の

第1の部分64に半導体チップ78を実装し、第2の部分66に半導体チップ76を実装する。この工程は、基板60を、平面的状態すなわち屈曲させない状態で行う。

そして、第2の部分66を、第1の部分64に積み重ねる。本実施の形態では、第1及び第2の部分64、66は、切り離されているので、配線パターン62を屈曲させ又は折り曲げて、第1の部分64上に第2の部分66を積み重ねる。

また、複数の外部端子80を設ける工程を含んでもよい。その詳細については、第1の実施の形態で説明した外部端子44の内容を適用することができる。

こうして製造された半導体装置によれば、図5に示すように、第1の部分64に凸部68が形成されており、第2の部分66が、凸部68を避けて第1の部分64に積み重ねられる。したがって、凸部68を使用して位置合わせを簡単に行うことができる。例えば、図5に示すガイド82を凸部68に係合させて、半導体装置の位置合わせを行うことができる。その詳細については、第1の実施の形態で説明した内容を適用することができる。

本実施の形態でも、半導体装置の位置合わせを簡単に行えるので、半導体装置の検査及び実装の工程を正確に行うことができる。詳しくは、第1の実施の形態で説明した内容が当てはまる。

本実施の形態の変形例として、図6に示すように、第1の部分64は、矩形をなす本体部分における凸部68を避けた部分に、位置決めの基準となる少なくとも1つの端部を有してもよい。詳しくは、第1の部分64は、複数の位置決めの基準となる端部を有し、少なくとも1つの端部は凸部68によって形成され、他の少なくとも1つの端部が本体部分の凸部68を避けた部分に形成されている。図示する例では、本体部分の凸部68を避けた部分に形成される、位置決めとなる端部は、第1の部分64の外形をなす辺82、84によって形成される。辺82、84は、互いに直交方向に延びている。

図6の2点鎖線に示すように、第1の部分64は、第2の部分66を平面的

に重複させたときに、本体部分における凸部 6 8 を除く全ての辺（3 辺）において、第 2 の部分 6 6 からはみ出す形状をなしてもよい。あるいは、第 1 の部分 6 4 は、本体部分の凸部 6 8 を除く、隣合う 2 つの辺において、第 2 の部分からはみ出す形状をなしてもよい。これらによれば、半導体装置を検査又は実装するときに、第 1 の部分 6 4 における少なくとも隣合う 2 辺を基準として、2 次元的に半導体装置の位置を把握することが容易となる。

半導体装置の位置決めは、ソケットなどのガイドに端部を係合させて行ってもよく、あるいはカメラなどを使用して第 1 の部分 6 4 の各辺 8 2、8 4 を画像として認識して行ってもよい。なお、画像認識による半導体装置の位置決めは、すべての実施の形態で適用できる。また、直交方向に延びる 2 つの辺 8 2、8 4 を形成する端部を位置決めとして使用するとともに、上述の辺 7 2、7 4 を形成する複数の端部又は凸部 6 8 を使用して、さらに半導体装置の位置決めの精度を向上させてもよい。

（第 3 の実施の形態）

図 7 は、本発明を適用した第 3 の実施の形態に係る半導体装置を示す図である。この半導体装置は、第 1 及び第 2 の部分 9 2、9 4 を有する基板 9 0 を含む。第 1 及び第 2 の部分 9 2、9 4 は、積み重ねられている。第 1 及び第 2 の部分 9 2、9 4 は、連続的かつ一体的に形成されていてもよいし、切り離されていても良い。これらの詳細は、第 1 及び第 2 の実施の形態で説明した。第 1 及び第 2 の部分 9 2、9 4 の間には、少なくとも 1 つ又は複数の図示しない半導体チップが設けられている。第 1 の部分 9 2 には、図示しない外部端子を設けてもよい。

本実施の形態では、第 1 の部分 9 2 に、複数の穴 9 6 が形成されている。複数の穴 9 6 を形成するための複数の端部は、半導体装置の位置決めの基準となる。すなわち、穴 9 6 にピンなどを挿通することで、半導体装置の位置決めを簡単に行うことができる。

第 2 の部分 9 4 は、第 1 の部分 9 2 の穴 9 6（あるいは穴 9 6 を形成する端

部)を避けて、第1の部分92に積み重ねられるようになっている。図7に示す例では、第1の部分92における穴96が形成される領域に対応して、第2の部分94に、切り欠き98が形成されている。

本実施の形態でも、半導体装置が、位置決めの基準となる複数の端部(穴96を形成する端部)を有するので、これを利用して、半導体装置の検査時や実装時に、外部端子(図示せず)と、検査装置や配線パターン3(図3参照)などとの検査又は実装を正確に行うことができる。穴96でなくとも、外観から判別できる部分(基板の角、凸部、凹部等)が、第1の部分92に形成されていれば、これを位置決めの基準として利用することができる。

(第4の実施の形態)

図8は、本発明を適用した第4の実施の形態に係る半導体装置を示す図である。この半導体装置は、第1及び第2の部分102、104を有する基板100を含む。第1及び第2の部分102、104は、積み重ねられている。第1及び第2の部分102、104は、連続的かつ一体的に形成されていてもよいが、図8に示す例では、切り離されており、配線パターン106によって両者は接続されている。その詳細は、第1及び第2の実施の形態で説明した。第1及び第2の部分102、104の間には、少なくとも1つ又は複数の図示しない半導体チップが設けられている。第1の部分102には、図示しない外部端子を設けてもよい。

本実施の形態では、第1の部分102が、第2の部分104よりも大きい形状をなしている。第1の部分102の外形を形成する辺のうち、2つの辺108、110は直交方向に延びている。直交方向に延びる辺108、110は、第1の部分102の角部を形成してもよい。直交方向に延びる2つの辺108、110を形成する端部は、ソケットなどのガイド112に係合させることで、半導体装置の位置決めの基準となる。

第2の部分104は、第1の部分102よりも小さいので、第1の部分102の、位置決めの基準となる端部を避けて、第1の部分102に積み重ねられ

る形状となっている。

本実施の形態によれば、第 1 の部分 1 0 2 の外形を形成する辺のうち、直交方向に延びる辺 1 0 8、1 1 0 を使用し、あるいはこれらを形成する端部を使用して、半導体装置の検査時や実装時に、外部端子（図示せず）と、検査装置
5 や配線パターン 3（図 3 参照）などとの検査又は実装を正確に行うことができる。

さらに、本実施の形態に第 2 の実施の形態で説明したような、第 1 の部分を形成し、それを位置決め機構として併用してもよい。

（第 5 の実施の形態）

10 図 9 は、本発明を適用した第 5 の実施の形態に係る半導体装置を示す図である。上述した実施の形態では、第 1 及び第 2 の部分を有する基板について説明したが、基板は、第 3 又はそれ以上の部分を有していても良い。本実施の形態に係る半導体装置で使用される基板 1 2 0 は、第 1 ～第 3 の部分 1 2 2、1 2 4、1 2 6 を有する。第 1 及び第 2 の部分 1 2 2、1 2 4 は、上述した実施の
15 形態で説明した内容が当てはまる。第 1 及び第 2 の部分 1 2 2、1 2 4 には、半導体チップ 1 3 0、1 3 2 が搭載されている。この場合、少なくとも 1 つの半導体チップ 1 3 0、1 3 2 が、第 1 及び第 2 の部分 1 2 2、1 2 4 の少なくとも一方に搭載されていればよい。

20 基板 1 2 0 の第 3 の部分 1 2 6 は、図 9 に示す例では第 2 の部分 1 2 4 に延設されているが、第 1 の部分 1 2 2 に延設してもよい。第 3 の部分 1 2 6 も、第 2 の部分と同様に、第 1 の部分 1 2 2 の、位置決め基準となる端部を避けて第 1 の部分 1 2 2 と積み重ねられる形状をなしている。すなわち、第 3 の部分 1 2 6 も、第 2 の部分 1 2 4 と同様の構成である。第 1 の部分 1 2 2 及び第 2 の部分 1 2 4 の構成は、上述した実施の形態で説明した内容が当てはまる。
25 また、外部端子 4 4 等の構成についても、上述した実施の形態で説明した内容を適用することができる。

本実施の形態によれば、上述した実施の形態で説明した効果に加えて、さら

に多くの半導体チップを有する半導体装置を構成することができる。

本発明を適用した半導体装置を有する電子機器として、図10には、ノート型パーソナルコンピュータ200及び携帯電話300が示されている。

5 以上述べた実施の形態で、トータルコストが上昇しない範囲内で、基板として、ビルドアップ基板又は多層基板を使用してもよい。

なお、上記本発明の構成要件で「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、
10 発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリウム又はヒューズなどがある。

さらに、前述した全ての実施の形態は、半導体チップとその他の電子素子とが基板上で混載される半導体装置（実装モジュール）であっても良い。

また、以上述べてきた実施の形態では、基板を折り曲げて積層する例について述べたが、本発明は、これに限ることなく、全ての基板の積層方法に適用することができる。基板を積層した場合の上下の基板の電気的な接続には、バン
15 プを用いたり、コネクタを用いてもよい。その場合、上述した基板の位置決定構造は、外部端子の形成してある基板（下方の基板）に、あるいは、上方に積層されてなる基板に形成してあればよく、折り曲げる以外の全ての構成において、本発明を適用してもよい。
20

請 求 の 範 囲

1. 配線パターンが形成され、第1の部分と、前記第1の部分に平面的に重ねるための第2の部分と、を有し、

5 前記第1の部分は、位置決めの基準となる端部を有し、

前記第2の部分は、前記第1の部分における前記端部を避けた領域と平面的に重なる形状をなしている配線基板。

2. 請求項1記載の配線基板において、

10 前記位置決めの基準となる端部は、互いに直交する関係にある2つの辺を含んでなる配線基板。

3. 請求項1記載の配線基板において、

前記第1の部分は、矩形をなす本体部分と、前記端部を有し前記本体部分の少なくとも1辺から延設された凸部と、を有してなる配線基板。

4. 請求項3記載の配線基板において、

15 前記凸部は、前記本体部分との境界となる辺と、前記本体部分との境界となる辺に対して垂直方向に延びる第1の辺と、前記本体部分との境界となる辺と平行な関係を有する先端の第2の辺と、により決定された領域からなり、前記位置決めの基準となる端部は、前記第1の辺及び前記第2の辺を含んでなる配線基板。

20 5. 請求項4記載の配線基板において、

前記第1の部分における前記本体部分は、前記凸部が設けられていない辺を有し、

前記第2の部分は、前記凸部が設けられていない辺の隣に配置されてなる配線基板。

25 6. 請求項4記載の配線基板において、

前記第2の部分は、前記第1の部分の前記凸部に対向する凹部を有する配線基板。

7. 請求項 6 記載の配線基板において、

複数の前記位置決め基準となる端部を有し、少なくとも 1 つの前記端部は、前記第 1 の部分の前記本体部分における前記凸部を避けた部分に形成されてなる配線基板。

5 8. 請求項 2 記載の配線基板において、

前記第 1 の部分は、前記第 2 の部分よりも大きい形状をなし、前記直交する関係にある 2 つの辺が前記第 1 の部分の角部を形成してなる配線基板。

9. 請求項 2 記載の配線基板において、

10 前記第 1 の部分は、挟まれた角度において直角をなし、かつ、前記直交する関係にある 2 つの辺を含む凹状端部が形成されてなる配線基板。

10. 請求項 1 記載の配線基板において、

前記複数の端部は、複数の穴を形成してなる配線基板。

11. 請求項 1 から請求項 10 のいずれかに記載の配線基板において、

前記第 1 の部分に連続的に前記第 2 の部分が延設されてなる配線基板。

15 12. 請求項 1 から請求項 10 のいずれかに記載の配線基板において、

前記第 1 の部分から切り離されて前記第 2 の部分が形成されており、前記第 1 及び第 2 の部分は、前記配線パターンによって接続されてなる配線基板。

13. 少なくとも 1 つの半導体チップと、

20 第 1 の部分と、前記第 1 の部分に平面的に重なるように配置されてなる第 2 の部分と、を有し、前記半導体チップが搭載されてなる基板と、
を含み、

前記第 1 の部分は、位置決め基準となる端部を有し、

前記第 2 の部分は、前記第 1 の部分の前記端部を避ける形状をなす半導体装置。

25 14. 請求項 13 記載の半導体装置において、

前記第 1 の部分には、複数の外部端子が設けられてなる半導体装置。

15. 請求項 13 記載の半導体装置において、

前記基板として、請求項 1 から請求項 10 のいずれかに記載の配線基板が用いられてなる半導体装置。

16. 請求項 13 又は請求項 14 のいずれかに記載の半導体装置が搭載された回路基板。

5 17. 請求項 13 又は請求項 14 のいずれかに記載の半導体装置を備える電子機器。

18. 請求項 1 から請求項 10 のいずれかに記載の配線基板に、少なくとも 1 つの半導体チップを搭載し、前記配線基板の前記第 1 の部分に前記第 2 の部分を積み重ねる工程を含む半導体装置の製造方法。

10 19. 請求項 13 又は請求項 14 のいずれかに記載の半導体装置を、前記位置決め基準となる複数の端部を使用して位置合わせする工程と、

前記半導体装置の電気的特性を検査する工程と、

を含む半導体装置の検査方法。

15 20. 請求項 13 又は請求項 14 のいずれかに記載の半導体装置を、前記位置決め基準となる複数の端部を使用して位置合わせする工程と、

前記半導体装置を回路基板に実装する工程と、

を含む半導体装置の実装方法。

1 / 7

FIG. 1

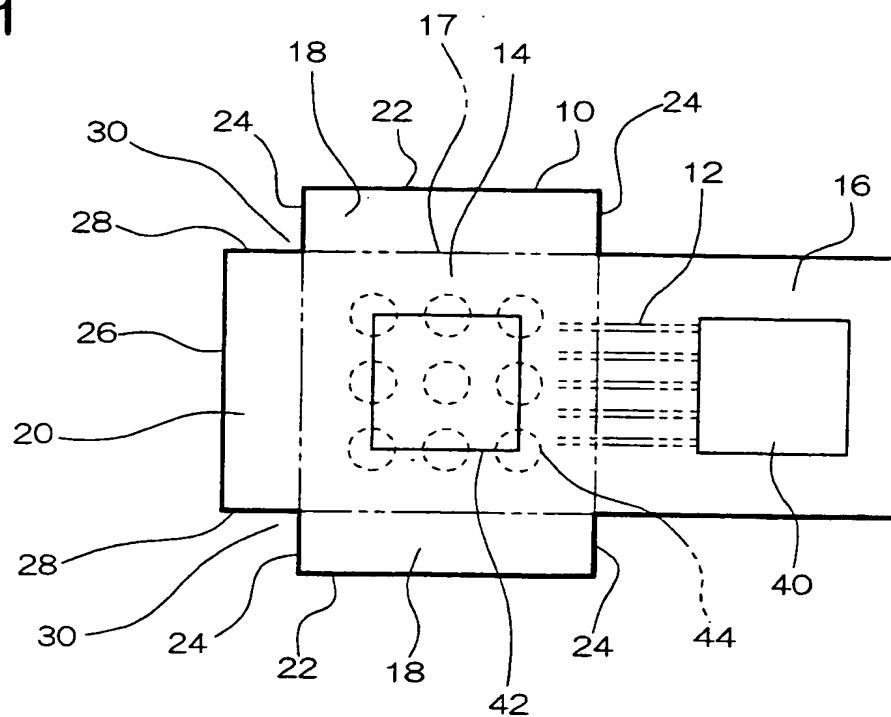
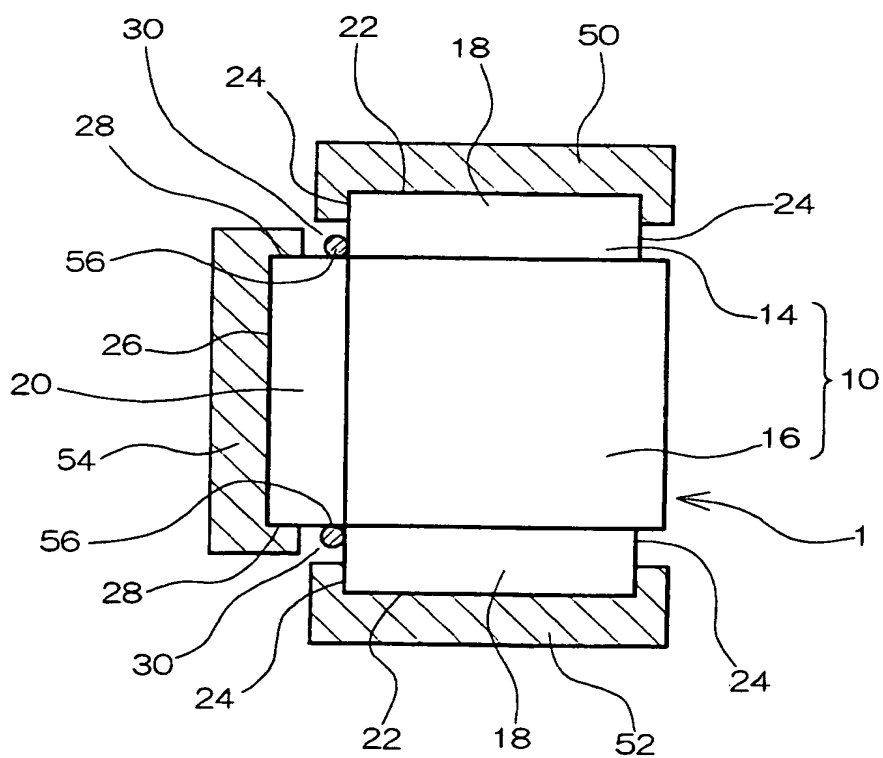
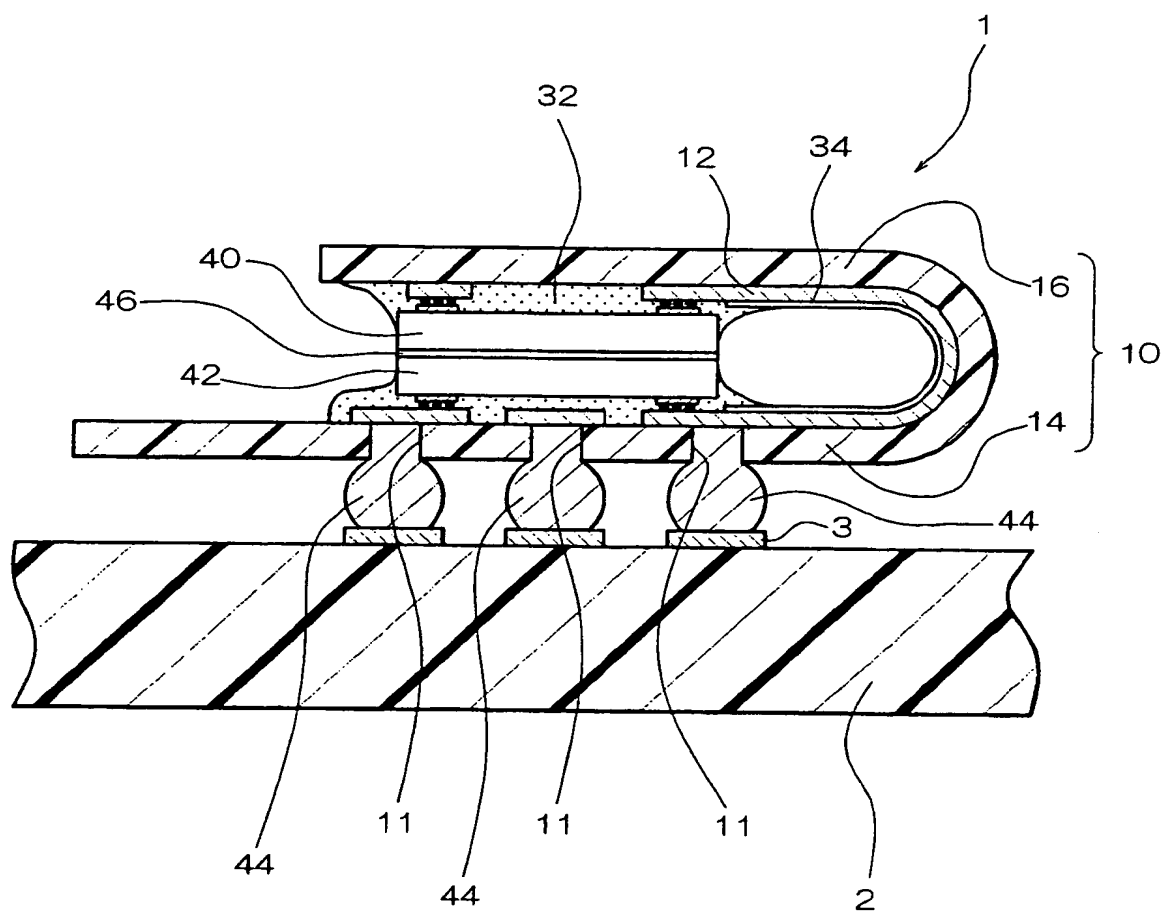


FIG. 2



2 / 7

FIG. 3



3 / 7

FIG. 4

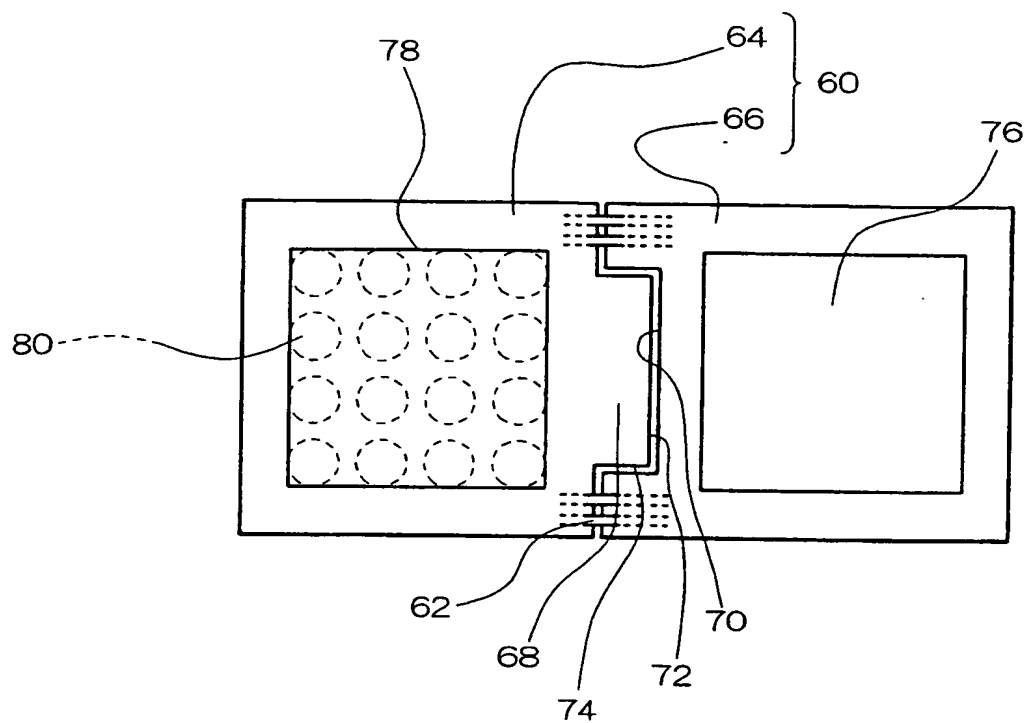


FIG. 5

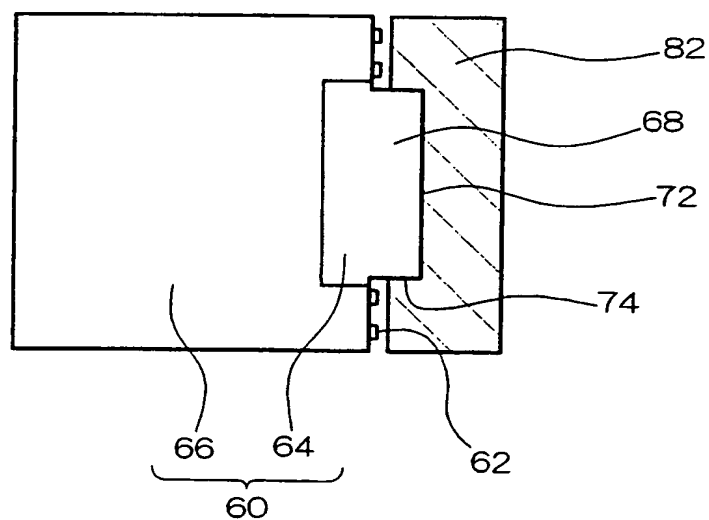
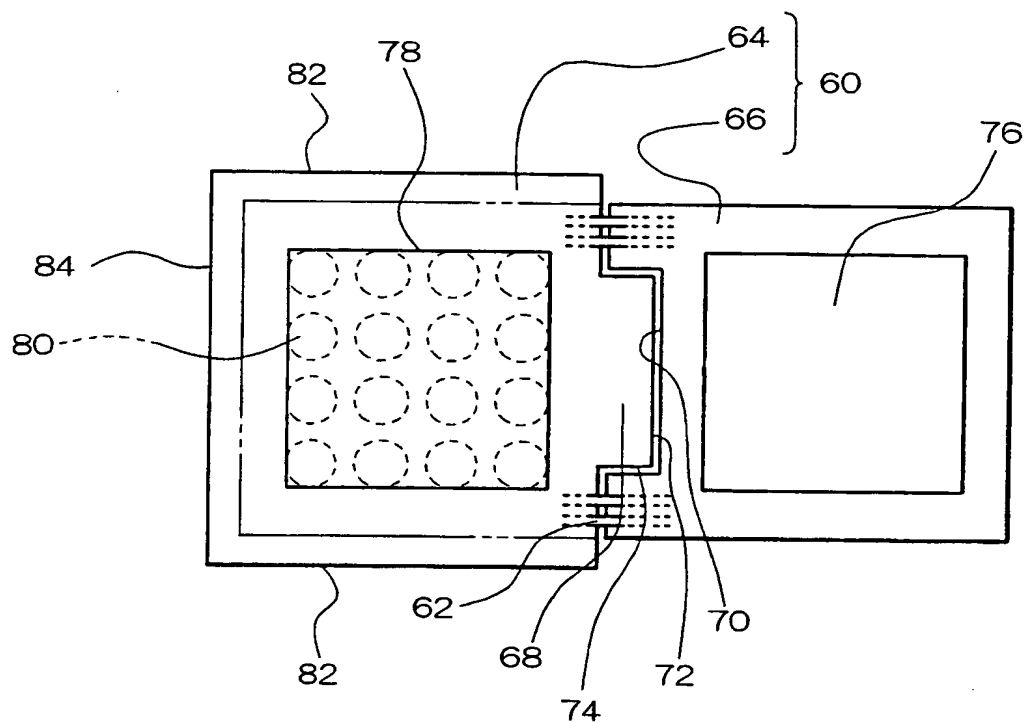


FIG. 6





6

2

4

4

5 / 7

FIG. 7

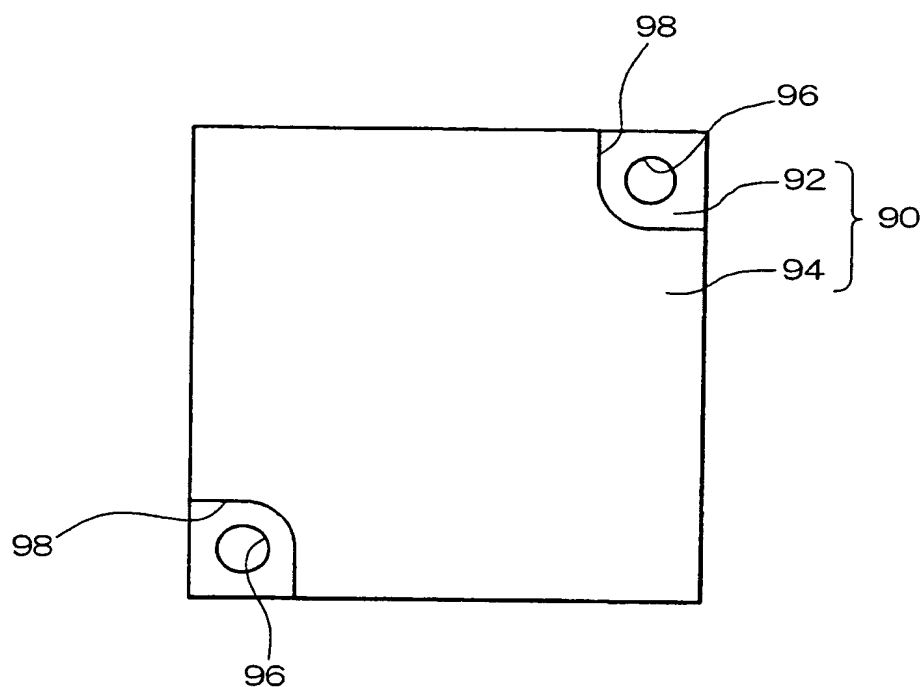


FIG. 8

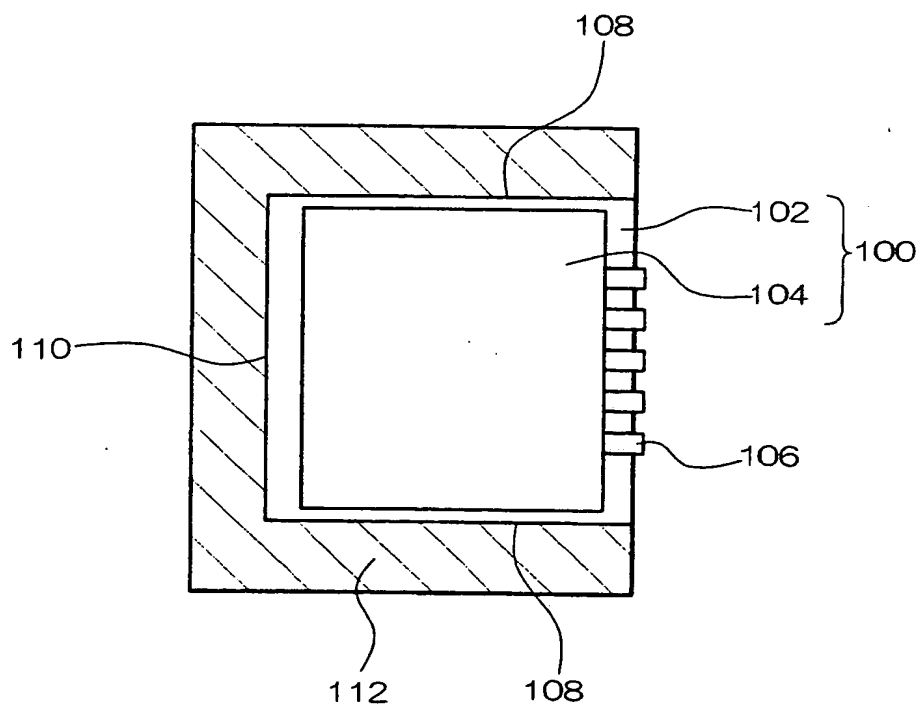


FIG. 9

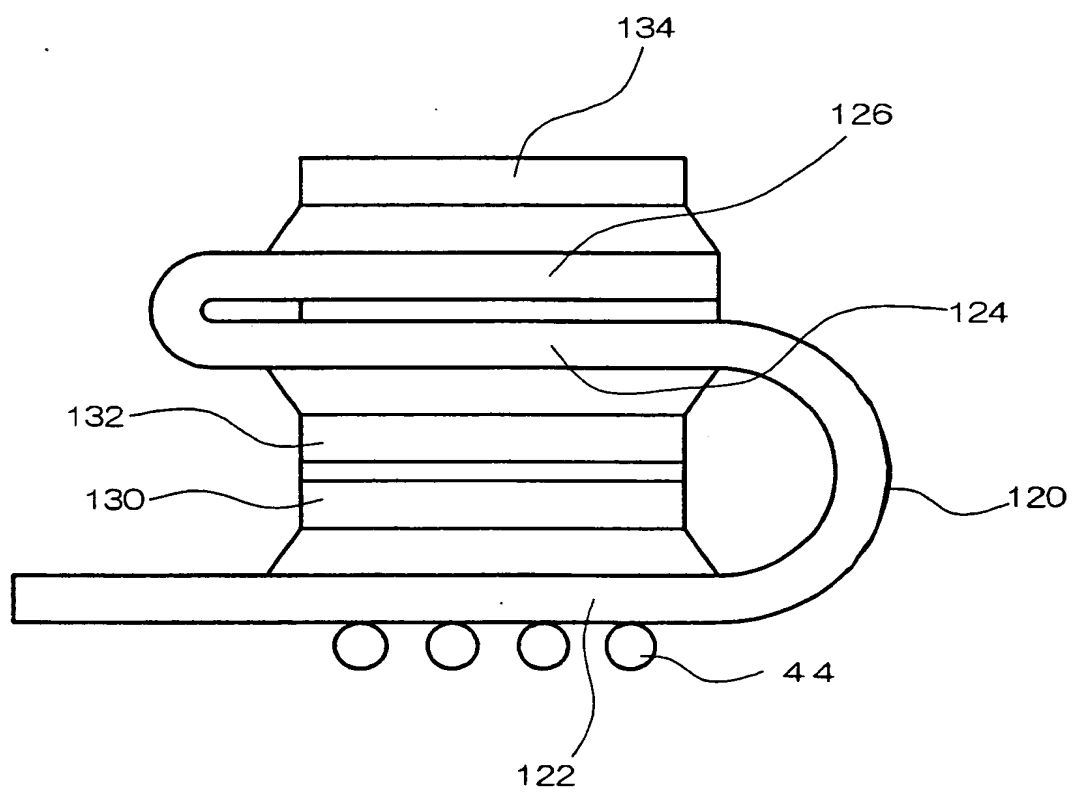
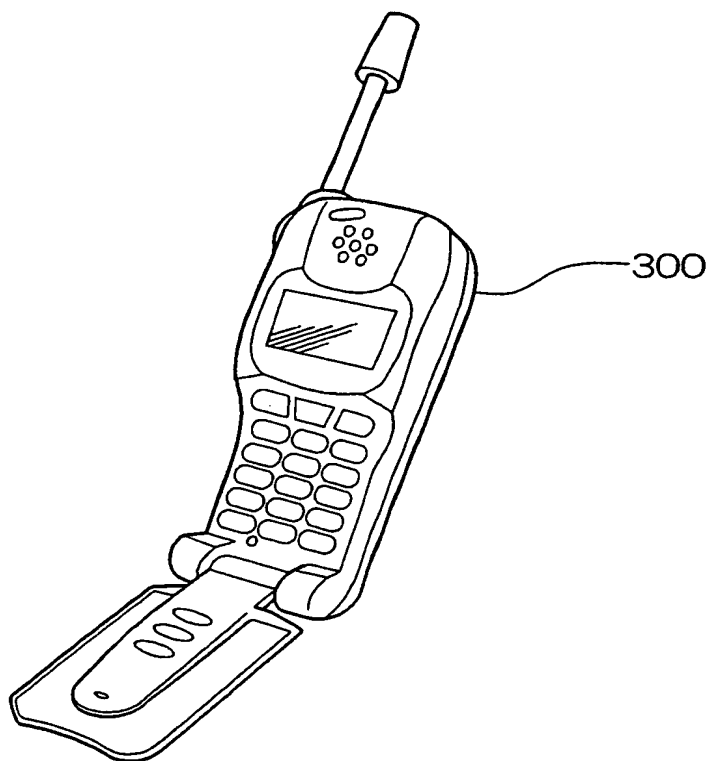
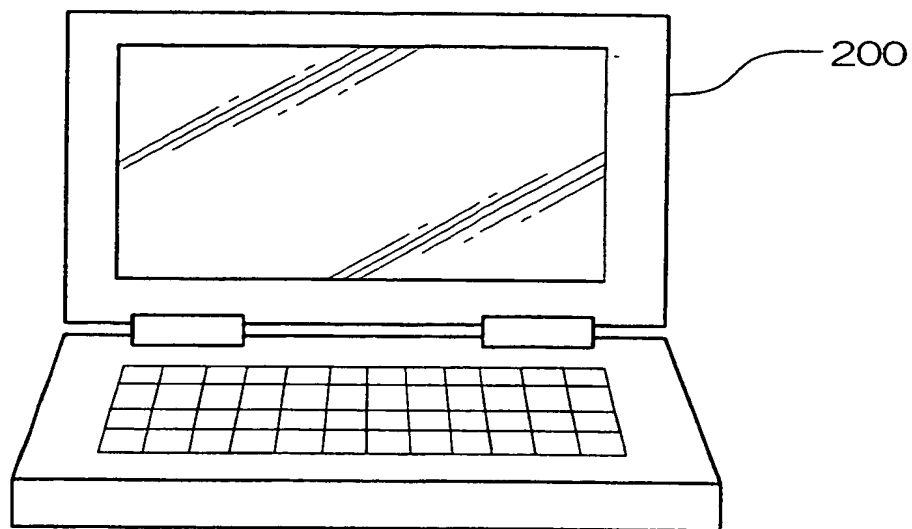




FIG. 10



9

10

11

12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06824

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H05K1/02, H01L21/60, 311, H01L23/12, H01L25/04, H01L25/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H05K1/02, H01L21/60, 311, H01L23/12, H01L25/04, H01L25/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 04-150055, A (Seiko Epson Corporation), 22 May, 1992 (22.05.92), Full text; Figs. 1 to 7 (Family: none)	1-20
Y	JP, 03-245591, A (NEC Corporation), 01 November, 1991 (01.11.91), Full text; Figs. 1 to 2 (Family: none)	1-20
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No.156316/1987 (Laid-open No.60543/1989), (Mitsubishi Electric Corporation), 17 April, 1989 (17.04.89), Full text; Figs. 1-3 (Family: none)	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 December, 2000 (18.12.00)Date of mailing of the international search report
26 December, 2000 (26.12.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



9

3

4

2

国際調査報告

国際出願番号 PCT/JPO0/06824

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H05K1/02, H01L21/60, 311, H01L23/12, H01L25/04,

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H05K1/02, H01L21/60, 311, H01L23/12, H01L25/04,

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (1926-1996年)
日本国公開実用新案公報 (1971-2000年)
日本国登録実用新案公報 (1994-2000年)
日本国実用新案登録公報 (1996-2000年)

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 04-150055, A (セイコーエプソン株式会社) 22. 5月. 1992 (22. 05. 92) 全文, 第1-7図 (ファミリーなし)	1-20
Y	JP, 03-245591, A (日本電気株式会社) 1. 11月. 1991 (01. 11. 91) 全文, 第1-2図 (ファミリーなし)	1-20
Y	日本国実用新案登録出願62-156316号 (日本国実用新案登録出願公開1-60543号) の願書に添付され た明細書及び図面のマイクロフィルム (三菱電機株式会社), 17. 4月. 1989 (17. 04. 89) 全文, 第1-3図 (ファミリーなし)	1-20

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18. 12. 00

国際調査報告の発送日

26.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

林 茂樹

印

3S

8915

電話番号 03-3581-1101 内線 3389



1
1
0

1
1
4